1.2kV SiC 沟槽型栅 MOSFET

1.2-kV SiC Trench MOSFET

辻　崇 TSUJI, Takashi　岩谷 将伸 IWAYA, Masanobu　大西 泰彦 ONISHI, Yasuhiko

迄今为止，富士电机致力于开发 SiC 平面型栅 MOSFET，并使其产品化。平面型栅 MOSFET 过度微细化后会增加 JFET 电阻，无法将低导通电阻降低至理论极限。相对而言，沟槽型栅 MOSFET 就没有类似问题，越是微细化越可以降低导通电阻。因此，我们开发了 1.2 kV SiC 沟槽型栅 MOSFET。在缩小镶边网格尺寸和优化 MOS 通道的同时，我们还优化了 JFET 领域的结构。由此，和以前相比，不仅实现降低了开关损耗，还使阈值电压提高了 2.4 倍，导通电阻降低了 48%。

Fuji Electric has developed and released SiC planar gate MOSFETs. Excessive shrinkage of the cell pitch of planar MOSFETs leads to a high JFET resistance, which prevents them from achieving a low on-resistance close to the theoretical limit. To the contrary, the cell pitch of trench-gate MOSFETs can be shrunk without the increase of the JFET resistance. We have therefore developed a 1.2-kV SiC trench gate MOSFET. We have optimized the structures of the MOS channel and the JFET region, as well as reduced the cell pitch. Our trench-gate MOSFETs realize low switching loss, the increase of the threshold voltage 2.4 times, and the reduction of the on-state resistance by 48% compared with the conventional planar MOSFETs.

1　引言

为了在环境和能源领域对资源循环型社会做贡献，富士电机为广大用户提供了在铁路、汽车、电源、电力系统等中使用的电力电子设备产品。作为其中核心零部件的功率半导体元件，Si-IGBT (Insulated Gate Bipolar Transistor) 正在向使用了宽禁带半导体材料之一的碳化硅 (SiC) 的 MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) 转变。因为在 SiC 中，漂移层的电阻可降至 Si 的约三百分之一[1]，因此相比 Si-IGBT，可进一步降低导通损耗。另外，SiC-MOSFET 作为单极型元件，开关时不会出现少数载流子扫出的现象，因此相比 Si-IGBT，还可降低开关损耗。

富士电机开发出了 SiC 平面型栅 MOSFET 和搭载了这一元件的 All-SiC 模块[2]~[4]，并成功将组装了这一模块的高效小型且轻量的功率调节器 (PCS[5]) 和百万瓦级太阳能用 PCS[6] 产品化。

本稿中将对富士电机开发的 1.2 kV SiC 沟槽型栅 MOSFET 进行介绍。

2　设计和特点

相比 Si，SiC 与栅极氧化膜 SiO_2 间的界面的界面态密度大，更容易捕获电子。因此，MOS 通路电阻会增高，无法将导通电阻降低至理论极限[7]。在降低界面态密度的同时增加器件密度 (微细化)，可有效降低 MOS 通路电阻。如果将传统的平面型栅 MOSFET 过度微细化，则 JFET (Junction Field-Effect Transistor) 电阻将增加[1]。而 MOS 通路垂直于表面的沟槽型栅 MOSFET，不会因为微细化导致 JFET 电阻成分增加，因此，微细化程度越高，导通电阻降低效果越明显。

图 1 中展示了此次开发的 SiC 沟槽型栅 MOSFET 的截面结构和芯片的照片。开发时的要点有以下三点。

(a)　提升栅极的可靠性
(b)　兼顾高阈值电压和低导通电阻
(c)　兼顾低导通电阻和高耐压

为提升栅极的可靠性，必须缓和施加逆向电位时沟槽底栅极氧化膜的高电场。为此，如**图 1** 所示，采用了用 p 阱 (图中的 A) 覆盖沟槽底的栅极氧化膜的结构。我们通过元件仿真确认到，电场在沟槽底 p 阱的底部转角部达到最大，栅极氧化膜的电场得到缓和[8]。

为兼顾高阈值电压和低导通电阻，我们通过缩小镶边网格尺寸进行微细化，并优化了 MOS 通路的长度。如**图 2** 所示，镶边网格尺寸越小，导通电阻就越低。但因为要兼顾工艺的工序能力，我们将镶边网格尺寸设计为了平面型栅 MOSFET 的约 1/2。

为了兼顾低导通电阻和高耐压，我们对**图 1** 的沟槽底的 p 阱 (图中 A) 和源极接触层下的 p 阱 (图中 B) 间的 JFET

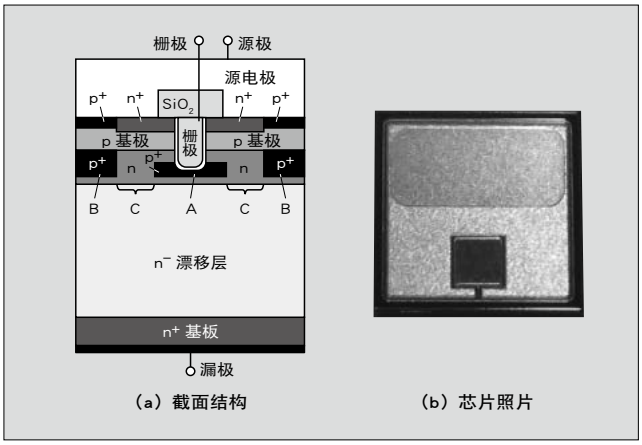

图 1　SiC 沟槽型栅 MOSFET

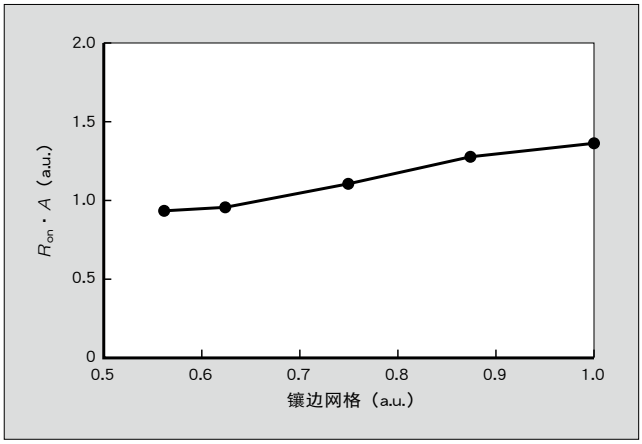

图 2　导通电阻的镶边网格依赖性

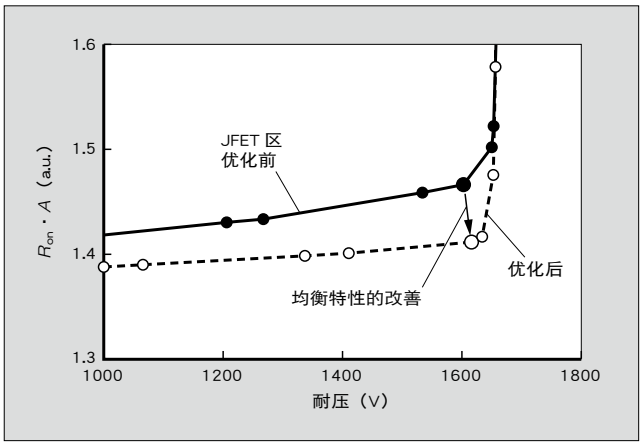

图 3　导通电阻和耐压的均衡关系

区（图中 C）进行了优化。为决定优化方面的多项参数，我们利用了元件仿真[8]。**图 3** 中展示了导通电阻和耐压的均衡关系。通过 JFET 区的优化，导通电阻降低了约 3%，耐压提升了约 2%。

3　特性

3.1　静态特性

图 4 中展示了富士电机开发的 SiC 沟槽型栅 MOSFET 的静态特性。**图 4**(a)中展示了元件接合温度为 25 ℃和 175 ℃时，正向时漏极电流 – 漏极电压的特性。额定电流时，接通电压在 25 ℃时为 1.3 V，175 ℃时为 2.3 V。**图 4**(b)中展示了反向偏压时漏极电流 – 漏极电压的特性。耐压在 25 ℃时为 1.55 kV，175 ℃时为 1.61 kV。和平面型栅 MOSFET 一样，随着温度的增加，耐压也会增加。作为 1.2 kV 级别的元件，可确保充分的高电压。

图 5 中展示了阈值电压和导通电阻的温度依赖性。阈值电压在 25 ～ 200 ℃的范围内时，随着温度上升会单纯地降低，相比 25 ℃时，175 ℃时降低约 26%。而导通电阻会单纯地增加，相比 25 ℃时，175 ℃时增加约 57%。它的一大特点是并联多个芯片时，即使出现电流集中在特定芯片上，由于温度上升会使导通电阻增加，从而使电流下降，因此不容易发生热失控。

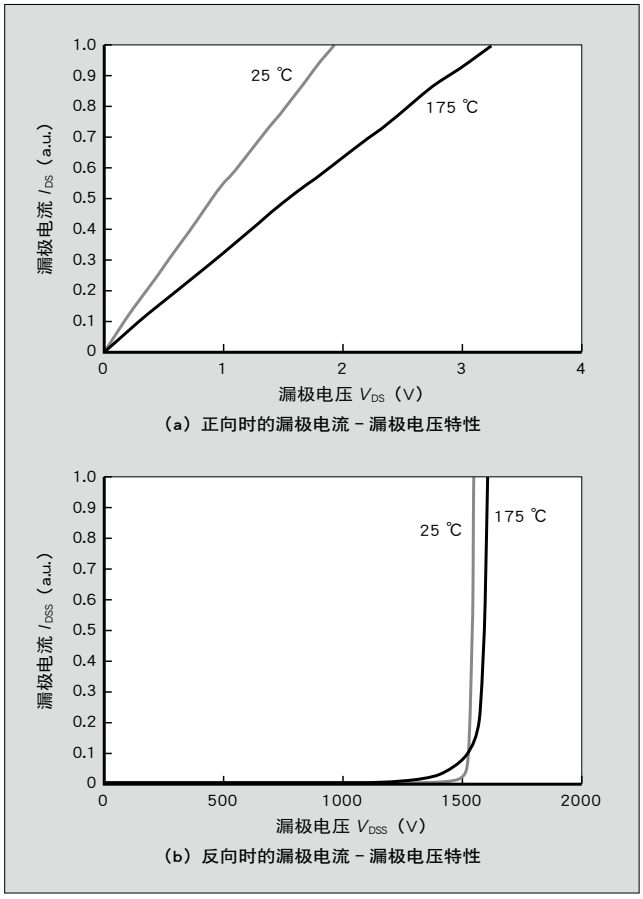

图 4　SiC 沟槽型栅 MOSFET 的静态特性

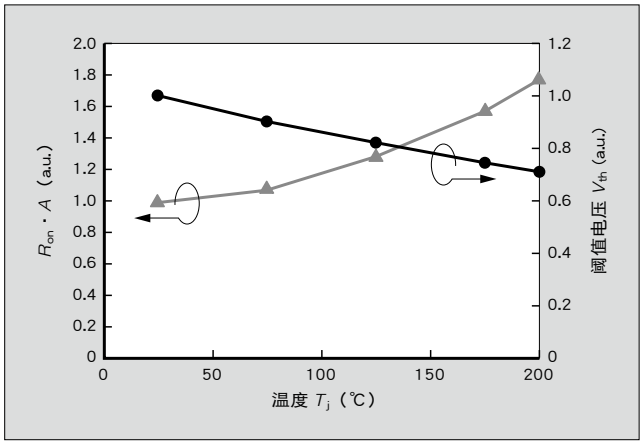

图 5　阈值电压和导通电阻的温度特性

另外，在单位面积的导通电阻方面，沟槽型栅 MOSFET 相比平面型栅 MOSFET 成功降低了约 50%。通过将模块、电力电子系统高效化，将冷却零部件小型化，还有望进一步为系统整体的低成本化做出贡献。

3.2　开关特性

图 6 中展示了开关评价电路以及代表的开通波形、关断波形。栅极电压为 0 V 时，漏极电流达到导通时的 90% 为止的开通时间约为 60 ns。另外，栅极电压为导通时的 90% 时，漏极电流降到导通时的 10% 为止的关断时间约为 75 ns。

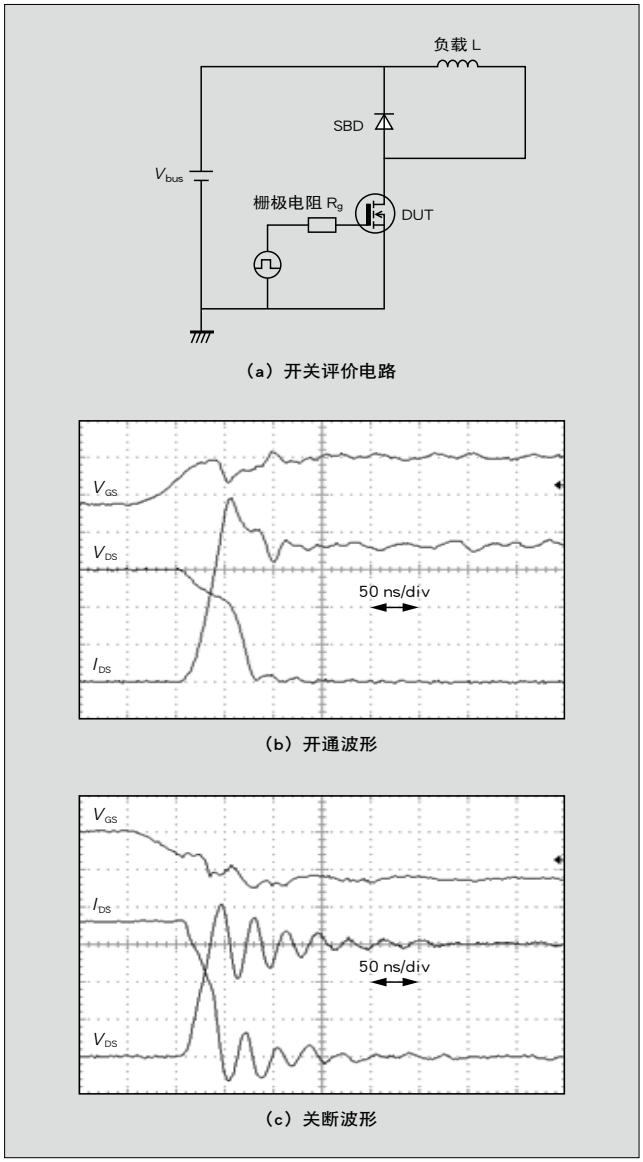

图 6　开关评价电路以及代表波形

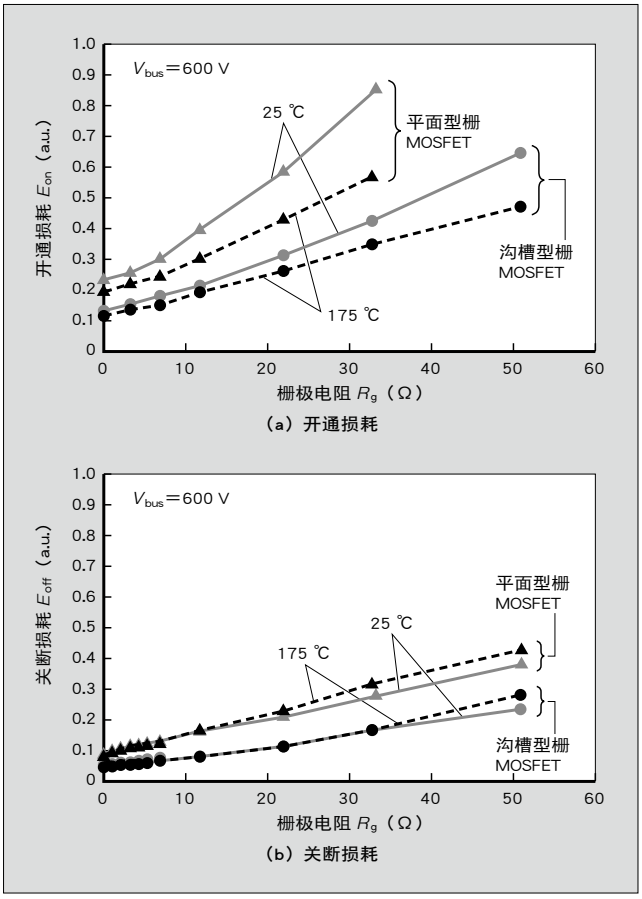

图 7　开关损耗的栅极电阻依赖性

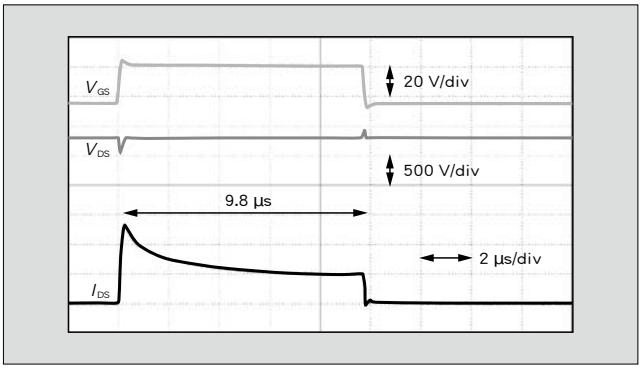

图 8　短路耐量试验时的波形

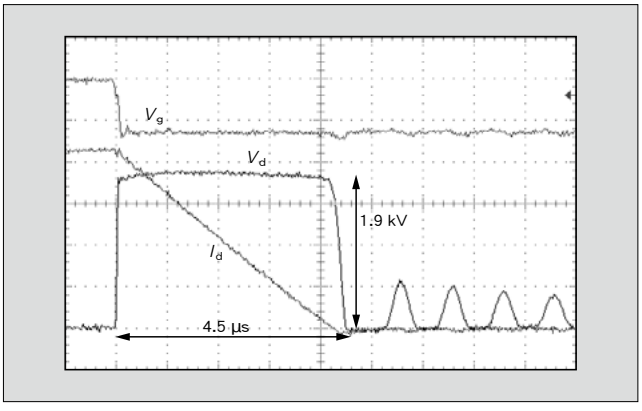

图 9　抗雪崩能力试验时的波形

图 7 中展示了开关损耗的栅极电阻依赖性。若在漏极电压 600 V、栅极电阻 22 Ω、25 ℃的条件下进行比较，则沟槽型栅 MOSFET 相比平面型栅 MOSFET，开通损耗减少 47%，关断损耗减少 48%。这是因为相比平面型栅 MOSFET，此次开发的沟槽型栅 MOSFET 的反向传输电容 C_{rss} 更小。

175 ℃时的开通损耗比 25 ℃时更小。这是因为 175 ℃时，阈值电压同样很低，开通时对栅极的充电时间较短，因此实现了低开通损耗。另外，关断损耗在 175 ℃时略高。这是因为关断时，驱动电压和阈值电压的差在 175 ℃时略大一些，栅极电荷的放电时间较长。

3. 3　短路耐量和抗雪崩能力

图 8 中展示了漏极电压 800 V、175 ℃时短路耐量试验的破坏前波形。我们确认到短路时间为 9.8 μs，短路耐量足够大。

图 9 中展示了负载电感 100 μH、175 ℃时抗雪崩能力试验时的波形。抗雪崩能力为 6.0 J/cm^2，与平面型栅

MOSFET 处于同等水平。

4 后记

本稿对 1.2 kV SiC 沟槽型栅 MOSFET 进行了介绍。

富士电机通过缩短镶边网格和优化通道长度，开发了相比 SiC 平面型栅 MOSFET，可更加兼顾高阈值电压和低导通电阻的 SiC 沟槽型栅 MOSFET。今后，将以进一步降低导通电阻为目标，致力于 SiC/SiO_2 界面品质的提升。

本研究的一部分同时也是共同研究团体 筑波电力电子协作群（TPEC：Tsukuba Power-Electronics Constellations）的业务内容。在此向各位相关人员表示深深的感谢。

参考文献

⑴ B.J.Baliga, POWER SEMICONDUCTOR DEVICE, PWS Publishing Company.
⑵ 梨子田典弘ほか. All-SiC モジュール技術. 富士電機技報. 2012, vol.85, no.6, p.403-407.
⑶ 仲野逸人ほか. 超小型・高信頼性 All-SiC モジュール. 富士電機技報. 2013, vol.86, no.4, p.244-248.
⑷ 仲村秀世等. All-SiC 模块的封装技术. 富士电机技报. 2016, vol.C8, no.1, p.3-6.
⑸ 松本康等. 搭载碳化硅（SiC）元件的电力电子设备. 富士时报. 2013, vol.C5, no.1, p.60-64.
⑹ 大岛雅文等. 搭载有 All-SiC 模块的百万瓦级太阳能用 PCS “PVI1000 AJ-3/1000”. 富士电机技报. 2015, vol.C7, no.2, p.60-64.
⑺ T.Kimoto and J.A.Cooper, FUNDAMENTALS OF SILICON CARBIDE TECHNOLOGY, 2014 John Wiley & Sons.
⑻ 小林勇介等. 利用仿真预测 SiC 沟槽型 MOSFET 的特性. 富士电机技术期刊. 2016, vol.C8, no.2, p.78-81.

辻　　崇
从事 SiC 功率 MOSFET、SBD 的研究、开发。现就职于富士电机株式会社电子元件事业本部开发统括部 SiC 开发部。应用物理学会会员。

岩谷　将伸
从事 SiC 功率 MOSFET、SBD 的研究、开发。现就职于富士电机株式会社电子元件事业本部开发统括部工艺开发部。应用物理学会会员。

大西　泰彦
从事 SiC 功率 MOSFET、SBD 的研究、开发。现为富士电机株式会社电子事业本部开发统括部 SiC 开发部经理。工学博士。电气学会会员。

富士电机

Fuji Electric

＊本刊记载的公司名称及产品，有可能是各相关公司的商标或注册商标。