第 2 代 SiC 沟槽型栅 MOSFET

2nd-Generation SiC Trench Gate MOSFETs

奥村　启树 OKUMURA, Keiji　　**木下　明将** KINOSHITA, Akimasa　　**岩谷　将伸** IWAYA, Masanobu

为实现低碳社会，富士电机正在向市场上推广各种电力电子设备，努力做出贡献。为进一步对节能化做出贡献，富士电机开发了第 2 代 SiC 沟槽型栅 MOSFET。通过微细化器件、薄化 SiC 基板和提高迁移率，与第 1 代 SiC 沟槽型栅 MOSFET 相比，降低了 23% 的导通电阻。另外，栅极推荐驱动电压降至 15 V，易用性也得到提高。同时，确认了 SiC-MOSFET 不存在可靠性的问题，即不存在栅偏压导致的栅极阈值电压波动和体二极管通电引起的特性劣化（导通电阻上升）。

Fuji Electric is offering various types of power electronics equipment for the market in order to contribute to the realization of a low-carbon society. To achieve further energy savings, we have developed the 2nd-generation SiC trench gate MOSFETs. As a result, on-resistance has been reduced by 23% compared with the 1st-generation SiC trench gate MOSFETs through the application of smaller design rules for the devices, a thinner SiC substrate and higher channel mobility. Furthermore, usability has improved because recommended gate drive voltage changed to 15 V. We have also confirmed that there were no gate threshold voltage fluctuation due to gate bias and no characteristic degradation (increase in on-resistance) due to body diode conduction, both of which cause reliability issues for SiC-MOSFETs.

1　引言

为实现低碳社会，富士电机正在向市场上推广各种电力电子设备，努力做出贡献。现在，世界各国都在加强环境管制，功率半导体的需求不断扩大，预计今后还将进一步扩大。原来的功率半导体材料主要使用硅（Si），但由于碳化硅（SiC）具有卓越的材料特性，人们对该材料的期待正在逐年增加。因为 SiC 禁带宽度大，绝缘破坏耐量约为 Si 的 10 倍，所以在主要要求 600 V 以上耐压的应用中，具有可大幅度降低损耗的优点。

富士电机此前已经量产了使用 SiC 的 SBD（Schottky Barrier Diode）和平面型栅 MOSFET（Metal-Oxide-Semiconductor Field-Effect Transistor）、沟槽型栅 MOSFET，用于太阳能 PCS（Power Conditioning system）和工业用变频器[(1)~(5)]。

到目前为止，第 1 代 SiC 沟槽型栅 MOSFET 实现了量产，这次，为进一步促进电力电子设备节能，开发了第 2 代 SiC 沟槽型栅 MOSFET。与平面型栅 MOSFET 相比，沟槽型栅 MOSFET 可降低 JFET（Junction Field Effect Transistor）电阻，增加单元密度，因此可大幅降低器件的电阻。另外，因为可以提高通道浓度，所以能兼顾高阈值和低导通电阻。

本文对改进了特性的第 2 代 SiC 沟槽型栅 MOSFET 进行论述。

2　第 2 代 SiC 沟槽型栅 MOSFET 的结构

图 1 所示为额定电压为 1200 V 的第 1 代 SiC 沟槽型栅 MOSFET 和第 2 代 SiC 沟槽型栅 MOSFET 的结构。为缓和施加在沟槽底部的栅极氧化膜上的高电场，第 1 代 SiC 沟槽型栅 MOSFET 采取了用 p 阱覆盖沟槽底部栅极氧化膜的结构[(6)]。第 2 代 SiC 沟槽型栅 MOSFET 也沿用了该结构，通过优化工艺使元胞间距缩小至约 2/3。另外，为减少基板电阻，通过背面研磨，使 SiC 基板的厚度减薄至约 1/4。并且，为减少通道电阻，改善了栅极氧化膜的界面，使沟道迁移率提高了 20%。通过以上措施，如**表 1** 所示，在栅极阈值电压维持在 5 V 的情况下，单位面积换算的导通电阻降低了约 23%。此外，为方便与 Si-IGBT（Insulated Gate Bipolar Transistor）置换，通过优化器件结构，使栅极推荐驱动电压为 +15 V。

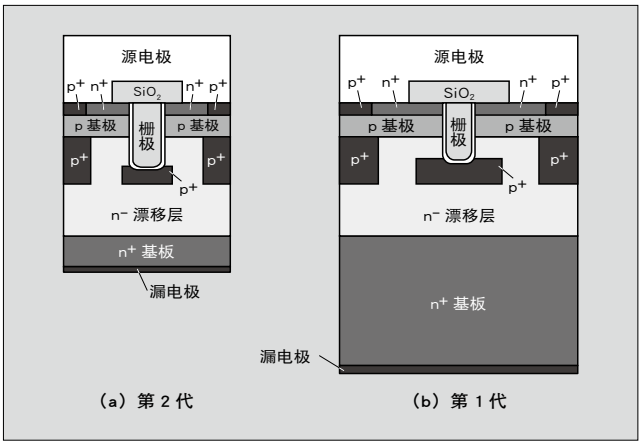

图 1　第 1 代与第 2 代 SiC 沟槽型栅 MOSFET 的结构

表 1　第 1 代与第 2 代 SiC 沟槽型栅 MOSFET 的结构

项目	第 2 代	第 1 代
导通电阻　（以第 1 代为 1）	0.77	1.00
栅极阈值电压	5.0 V	5.1 V
栅极推荐驱动电压	+15 V/−3 V	+20 V/−3 V
栅极绝对最大额定电压	+20 V/−7 V	+25 V/−7 V

3　第 2 代 SiC 沟槽型栅 MOSFET 的特性

3.1　第 2 代沟槽型栅 MOSFET 的电流—电压特性

图 2 所示为额定电压 1200 V 的第 1 代与第 2 代 SiC 沟槽型栅 MOSFET 导通时的漏极电流 I_D − 漏极电压 V_{DS} 的正向特性比较。栅极电压 V_{GS} 为各芯片的推荐驱动电压。尽管 V_{GS}＝15 V，但第 2 代 SiC 沟槽型栅 MOSFET 的导通电阻更低。

图 3 所示为逆向导通时第三象限的特性比较。将沟槽型栅 MOSFET 打开，让电流从源极流过漏极时，因对 PN 结合进行正向偏压，所以 JFET 电阻受到抑制，电阻比正向特性低。另外，与正向特性相同，第 2 代 SiC 沟槽型栅 MOSFET 的导通电阻较低。

图 4 所示为栅极关断时 MOSFET 的体二极管特性的比较结果。无论是第 1 代还是第 2 代，当源极 / 漏极电压达到约 2.5 V 以上时，电流即开始流动。其原因，是因为出现了 SiC 的内置电位。第 2 代 SiC 沟槽型栅 MOSFET 在电流开始流动后的体二极管的微分电阻较低，这是 SiC 基板薄化的效果。

根据这些结果，在正反两个方向的特性方面，第 2 代 SiC 沟槽型栅 MOSFET 的电阻较低，可以说是可降低实际使用时的导通损耗的器件。另外，在第三象限特性中，因体二极管的内置电位比 Si 高，所以在换流时等从 MOSFET 的源极向漏极流过电流时，栅极导通的一方可降低损耗。

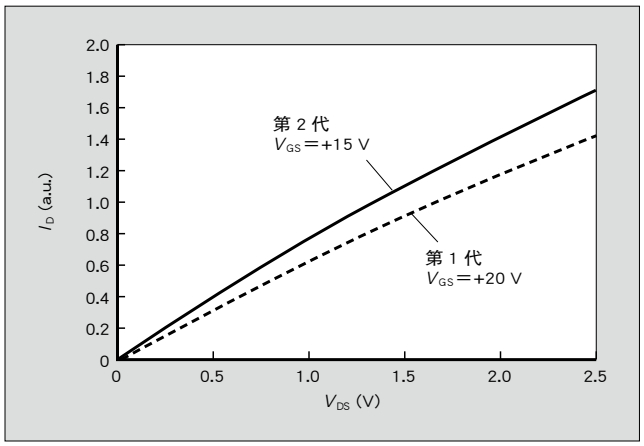

图 2　第 1 代与第 2 代第 SiC 沟槽型栅 MOSFET 的 I_D-V_{DS} 特性（第一象限）

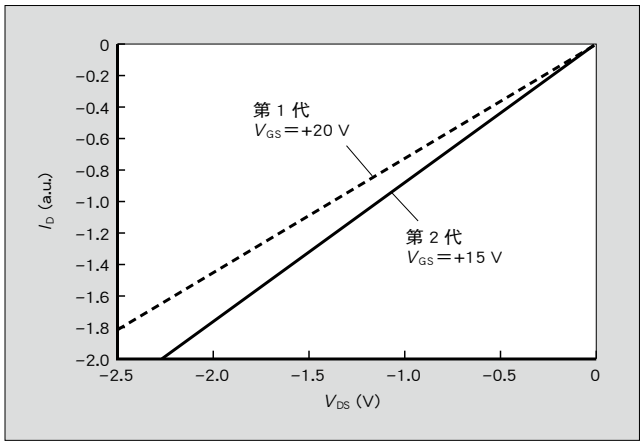

图 3　第 1 代与第 2 代第 SiC 沟槽型栅 MOSFET 的 I_D-V_{DS} 特性（第三象限）

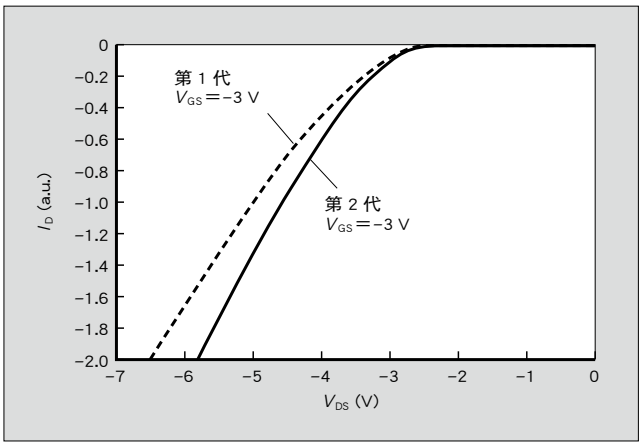

图 4　第 1 代与第 2 代 SiC 沟槽型栅 MOSFET 的体二极管的 I_D-V_{DS} 特性（第三象限）

3.2　第 2 代 SiC 沟槽型栅 MOSFET 的温度特性

图 5 中展示了阈值电压和导通电阻的温度依赖性。阈值电压在 −50 ℃～ +200 ℃的范围内，随着温度的增加，以约 8.6 mV/K 的速度减少。导通电阻在 −50 ℃～ −25 ℃的范围内几乎没有变化，在 −25 ℃～ +200 ℃的范围内增加，与 25 ℃时相比，175 ℃时增加约 2 倍。因第 2 代 SiC 沟槽型栅 MOSFET 的导通电阻表现出正温度系数，所以在并联连接多个芯片时可抑制电流不平衡，很好地发挥作用。通常，SiC 很难增大芯片尺寸。因此，大多在模块内并联连接多个小型芯片，确保模块的电流。此时，因表现出正温度特性，所以假使特定芯片发生电流集中，但因温度上升，电阻增加，电流可限制，所以不易发生热失控。

图 6 所示为关断时漏极与源极间的耐压特性。耐压在 25 ℃下为 1600 V，在 175 ℃下为 1670 V，作为额定电压为 1200 V 的器件可确保足够高的耐压。另外，与第 1 代 SiC 沟槽型栅 MOSFET 相同，第 2 代 SiC 沟槽型栅 MOSFET 的耐压也会随着温度的上升而增加。

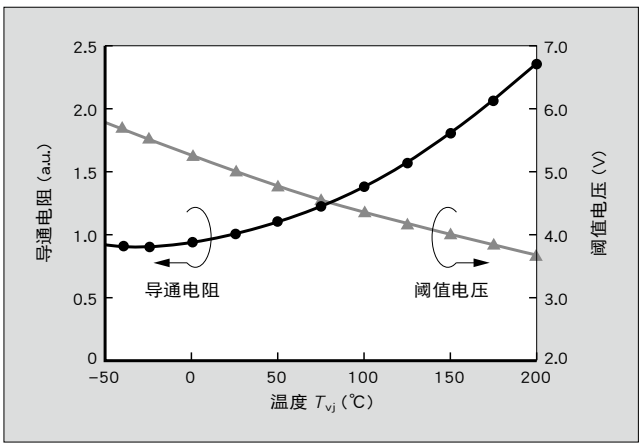

图 5　第 2 代 SiC 沟槽型栅 MOSFET 的导通电阻与阈值电压的温度依赖性

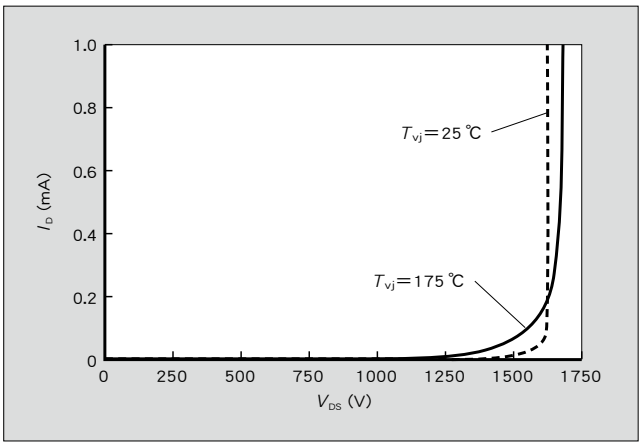

图 6　第 2 代 SiC 沟槽型栅 MOSFET 关断时的 I_D–V_{DS} 特性

3.3　第 2 代 SiC 沟槽型栅 MOSFET 的开关特性

图 7 所示为开关试验电路。**图 8**、**图 9** 所示为开通和关断时的第 1 代和第 2 代 SiC 沟槽型栅 MOSFET 的开关损耗。通过改变栅极电阻，使 d*i*/d*t*、d*v*/d*t* 发生变化。在栅极驱动电压方面，第 1 代的驱动推荐条件为 V_{GS}＝+20 V/−3 V，第 2 代的驱动推荐条件为 V_{GS}＝+15 V/−3 V。开通、关断为同一 d*i*/d*t*、d*v*/d*t* 时，开关损耗相同，没有显著差异。

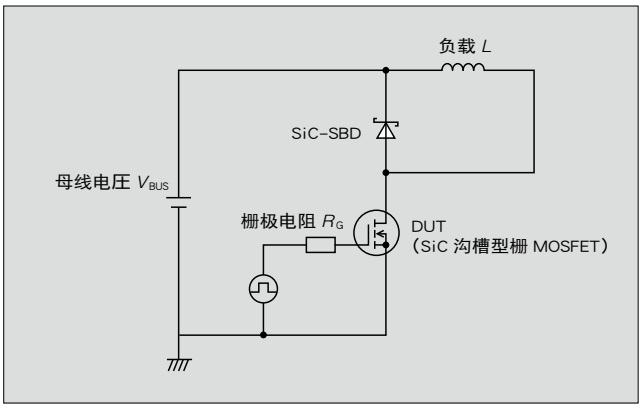

图 7　开关评价电路

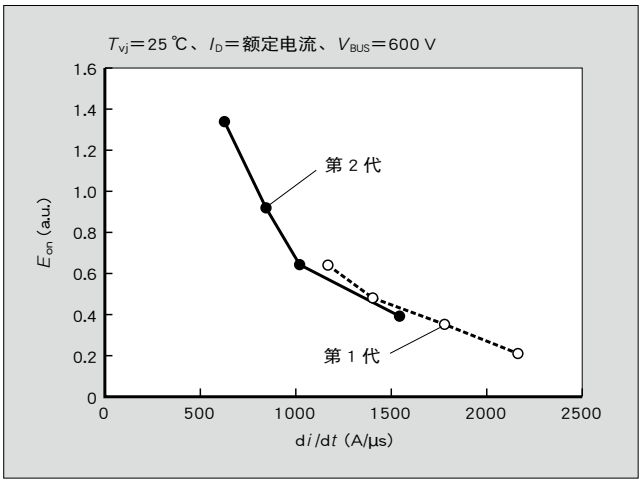

图 8　开通损耗比较

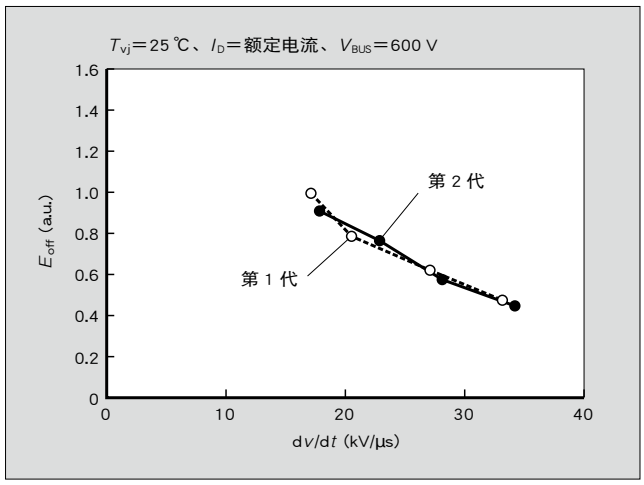

图 9　关断损耗比较

3.4　第 2 代 SiC 沟槽型栅 MOSFET 的可靠性

接下来，对第 2 代 SiC 沟槽型栅 MOSFET 的可靠性进行论述。传统的 SiC-MOSFET 因栅极氧化膜的界面陷阱密度高，所以存在给栅极施加电压时栅极阈值电压波动的问题。**图 10**、**图 11** 所示为第 2 代 SiC 沟槽型栅 MOSFET 的高温栅极正负偏压试验结果。第 2 代 SiC 沟槽型栅 MOSFET 与正负偏压无关，栅极的阈值电压波动小，具有稳定的特性。

另外，SiC-MOSFET 的体二极管通电导致导通电阻的增加，从而会引发 SiC-MOSFET 的可靠性问题。电流流经体二极管时，层叠缺陷以存在于 SiC 基板中的基底面位错为起点进行扩展。这样，可阻碍器件的电流路径，增加导通电阻。第 2 代 SiC 沟槽型栅 MOSFET 通过在 SiC 基板和工艺中使用独创技术，防止体二极管通电而导致的导通电阻增加。**图 12** 所示为体二极管通电电流逐渐增大时导通电阻增加率的调查结果。各电流在 T_{vj}＝175 ℃的条件下施加 10 分钟。从 N=162 个调查结果可知，即使流过 2 倍于 DC 额定电流的电流，导通电阻也不会增加。

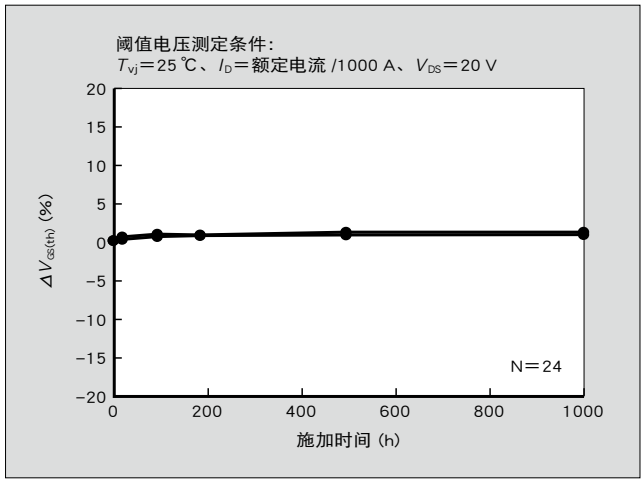

图 10　高温栅极正向偏压试验后阈值电压的波动率
（施加条件：T_{vj}＝175 ℃、V_{GS}＝20 V）

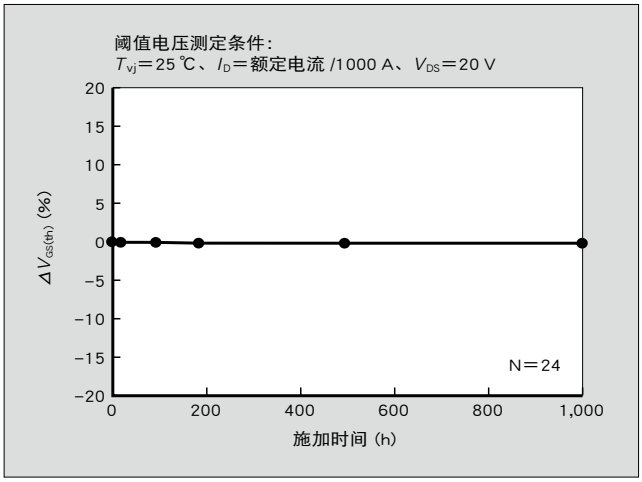

图 11　高温栅极反向偏压施加试验后阈值电压的波动率
（施加条件：T_{Vj}＝175 ℃、V_{GS}＝−7 V）

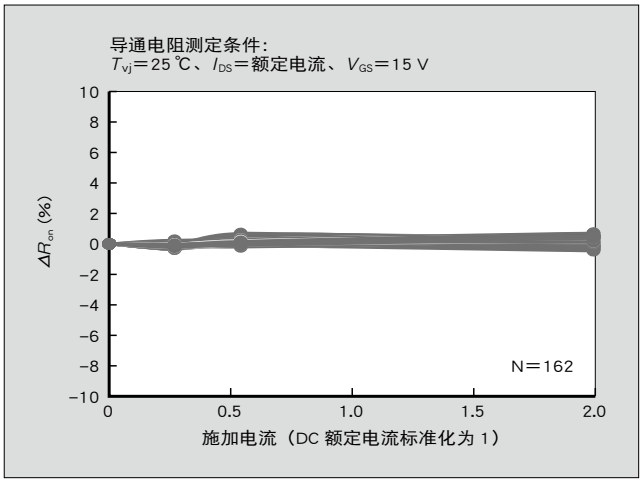

图 12　体二极管通电试验后的导通电阻波动率
（施加条件：T_{Vj}＝175 ℃、V_{GS}＝−3 V、时间＝10 min）

4　后记

本文对第 2 代 SiC 沟槽型栅 MOSFET 进行了论述。通过微细化和 SiC 基板薄膜化及提高迁移率，与第 1 代 SiC 沟槽型栅 MOSFET 相比，降低了 23% 的导通电阻。确认了不存在 SiC 的可靠性问题，即不存在栅偏压导致的栅极阈值电压波动和体二极管通电引起的导通电阻上升。2019 年度计划开发额定电压为 650 V、1700 V 的第 2 代 SiC 沟槽型栅 MOSFET 技术。

本课题是与联合研究机构 TSUKUBA POWER ELECTRONICS CONSTELLATIONS（TPEC）共同研发。在此向各位相关人员表示深深地感谢。

参考文献

⑴　大岛雅文等. 搭载有 All-SiC 模块的百万瓦级太阳能用 PCS “PVI1000 AJ-3/1000”. 富士电机技报. 2015, vol.C7, no.2, p.60-64.
⑵　仲村秀世等. All-SiC 模块的封装技术. 富士电机技术期刊. 2016, vol.C8, no.1, p.3-6.
⑶　蝶名林干也等. All-SiC 2 in1 模块. 富士电机技术期刊. 2017, vol.C9, no.1, p.7-10.
⑷　中泽将刚等. 搭载有 SiC 沟槽型栅 MOSFET 的 All-SiC 模块. 富士电机技术期刊. 2018, vol.C10, no.1, p.3-6.
⑸　梨子田典弘等. 针对百万瓦级太阳能用功率调节器的 All-SiC 模块. 富士电机技报. 2015, vol.C7, no.1, p.7-10.
⑹　辻崇等. 1.2kV SiC 沟槽型栅 MOSFET. 富士电机技术期刊. 2017, vol.C9, no.1, p.3-6.

奥村　启树
从事 SiC 功率 MOSFET、SBD 的研究、开发。现就职于富士电机株式会社电子元件事业本部开发统括部元件开发部。

木下　明将
从事 SiC 功率 MOSFET、SBD 的研究、开发。现就职于富士电机株式会社电子元件事业本部开发统括部尖端元件开发部。理学博士。应用物理学会会员。

岩谷　将伸
从事 SiC 功率 MOSFET、SBD 的研究、开发。现就职于富士电机株式会社电子元件事业本部开发统括部工艺开发部。应用物理学会会员。

富士电机

Fuji Electric

＊本刊记载的公司名称及产品，有可能是各相关公司的商标或注册商标。