1.2kV SiC 超结 MOSFET

1.2-kV SiC Superjunction MOSFETs

俵　武志 TAWARA, Takeshi　　马场　正和 BABA, Masakazu　　竹中　研介 TAKENAKA, Kensuke

以 4H-SiC 为材料，反复进行 n 型外延生长和 Al 离子注入，制作了 1.2 kV 耐压的 SiC 超结 MOSFET（SiC-SJ-MOSFET），并对其静态特性和恢复特性进行了评价。与传统的 SiC 沟槽型栅 MOSFET 相比，SiC-SJ-MOSFET 的 175 ℃导通电阻降至 55% ～ 67%。另外，关于恢复特性，在 175 ℃下积累电荷量仅略有增加，未观察到过高的浪涌电压。从以上结果可知，将 SiC-SJ-MOSFET 应用于变频器电路时，可望降低总损耗。

Fuji Electric formed a 4H-SiC-based 1.2-kV SiC Superjunction MOSFETs (SiC-SJ-MOSFETs) by repeating n-type epitaxial growth and Al ion implantation and verified its static and reverse recovery characteristics. The on-resistance of the SiC-SJ-MOSFETs at 175°C was 55% to 65% that of the conventional trench gate MOSFETs. In terms of reverse recovery characteristics, the SiC-SJ-MOSFETs did not show an excessive surge voltage despite a slight increase in reverse recovery charge at 175°C compared with conventional SiC trench gate MOSFETs. We expect that the use of SiC-SJ-MOSFETs in inverter circuits will contribute to reducing total loss.

1　引言

将碳化硅（SiC）用于基板的 SiC 功率器件，利用绝缘破坏电场比硅（Si）高出一个数量级的材料特性，通过提高漂移层的掺杂浓度可减少导通损耗。富士电机量产了 650 V ～ 3.3 kV 耐压等级的 SiC-SBD（Schottky Barrier Diode）和 1.2 kV 耐压等级的 SiC-MOSFET（Metal Oxide-Semiconductor Field-Effect Transistor）。一直以来，SiC-MOSFET 存在导通时通道电阻高，特性导通电阻[注1]R_{on}·A 没有降低的问题。近年来，通过采用沟槽型栅缩小元胞间距和短通道技术，通道电阻的降低正在快速发展[1]。今后，为了进一步降低 R_{on}·A，有必要致力于进一步降低占 MOSFET 电阻主要部分的漂移层电阻。

本稿主要对降低漂移层电阻的 1.2 kV 耐压等级 SiC 超结 MOSFET（SiC-SJ-MOSFET）的器件特性进行介绍。

2　SJ 结构的优点

超结（SJ）结构是可在不降低耐压的情况下有效降低漂移层电阻的结构。自 1997 年发布以来，各公司均在进行相关开发[2]。立式 SJ 元件通过在漂移层形成周期性 p-n 柱结构，与传统元件相比，可将漂移层电阻降低至（32/27）·（d · E_c/VB）倍（d、E_c、V_B 分别为柱宽、绝缘破坏电场及耐压[2]。在 SJ 结构中，可通过微细化柱宽来降低导通电阻，在 Si 的 SJ-MOSFET 中，可超过 Si 极限，得到低导通电阻。另一方面，即使在应用于绝缘破坏电场比 Si 高出一个数量级的 SiC 的情况下，耐压高的元件也可充分降低漂移层电阻。例如，使用 SiC 制作耐压 1.6 kV 的 SJ-MOSFET[3]时，可推测漂移层电阻会降至约一半。**图 1** 所示为 Si-SJ-MOSFET、Si-IGBT、SiC-MOSFET、SiC-SJ-MOSFET 的导通电阻与耐压的关系。采用 SJ 结构，即使是 SiC 的情况下，高耐压元件越多，也越能改善权衡效果。

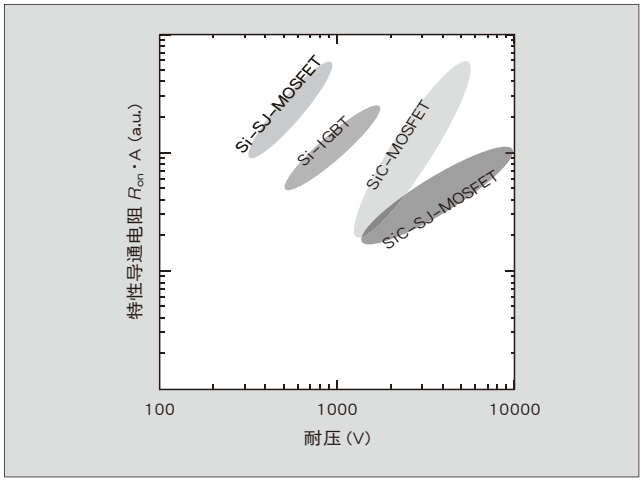

图 1　特性导通电阻与耐压的关系

3　SiC-SJ-MOSFET 的制作

在 Si-SJ-MOSFET 中，已知有多级外延生长方式，该方式通过反复进行 n 型外延生长和 p 型离子注入，最后通过热扩散形成柱[4]。另一方面，采用 SiC 半导体材料形成 SJ 结构时，通常用作 p 型掺杂剂的铝（Al）因在 SiC 中的扩散系数小，所以不能使用热扩散。由此，提出了使用离子注入形成柱的方法[5]和在 n 型漂移层中开沟槽并将 p 型外延层嵌入沟槽内的方法[6]。此次，充分利用联合研究机构 TSUKUBA POWER ELECTRONICS CONSTELLATIONS（TPEC）的项目成果，通过反复进行掺杂氮（N）的外延生长和 Al 离

〈注 1〉特性导通电阻：按单位面积标准化的导通电阻。导通损耗的性能指标。

子注入，形成深柱，试制了 1.2 kV 耐压等级的 SiC-SJ-MOSFET。在 SiC 的情况下，因为注入离子难以进行热扩散，所以可比较容易使柱宽微细化，此次也试制了柱宽为传统产品一半的元件。

图 2 所示为试制的 1.2 kV 耐压等级 SiC-SJ-MOSFET 元件结构，均为沟槽型栅。试制内容为标准 SiC-SJ-MOSFET（SiC-SJ）、SiC 窄间距 SJ-MOSFET（SiC-narrow-SJ-pitch）以及作为参照的 SiC-non-SJ-MOSFET（SiC-non-SJ）。在标准 SiC-SJ-MOSFET 中，在沟槽型栅之间形成 p 柱。SiC 窄间距 SJ-MOSFET 为了在维持耐压的状态下降低导通电阻，与标准 SiC-SJ-MOSFET 相比，提高了 p、n 柱浓度，使柱宽减半，缩小了柱间隔。SiC-non-SJ-MOSFET 是为了比较而在漂移层中不具有 SJ 结构的普通沟槽型栅 MOSFET。此外，此次试制的元件采用了在 SJ 结构的下部设置缓冲层的 Semi-SJ 结构[8]，该结构为抑制硬恢复特性而提出。

SJ 结构是在 4 度断开的 n 型 4H-SiC 基板上生长 4.4 μm 的 n 缓冲层后，在其上生长了 7 次 0.65 μm 的 n 掺杂外延层。p 柱，则是每次形成 n 掺杂外延层时，进行共计 8 次的 Al 离子注入而形成的。**图 3** 所示为标准 SiC-SJ-MOSFET 制作工艺的一部分。进行多级外延生长后，用与 SiC-non-SJ-MOSFET 相同的工序制作上部的沟槽型栅 MOSFET 结构。**图 4** 所示为试制的标准 SiC-SJ-MOSFET 和 SiC 窄间距 SJ-MOSFET 的截面 SEM（Scanning Electron Microscope）图像。由上可知，通过多级外延生长方式，形成了垂直的 p 柱。

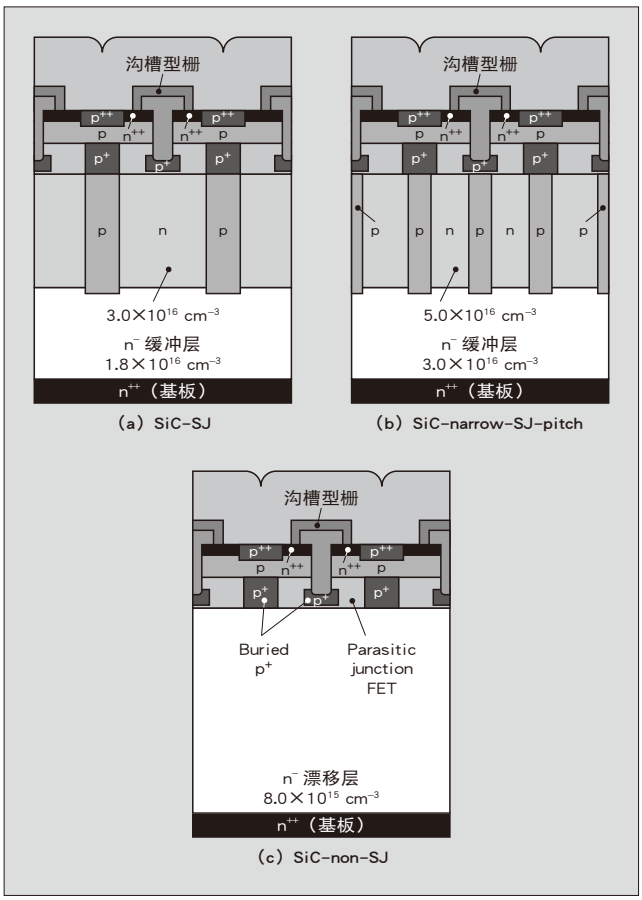

图 2　试制的元件结构

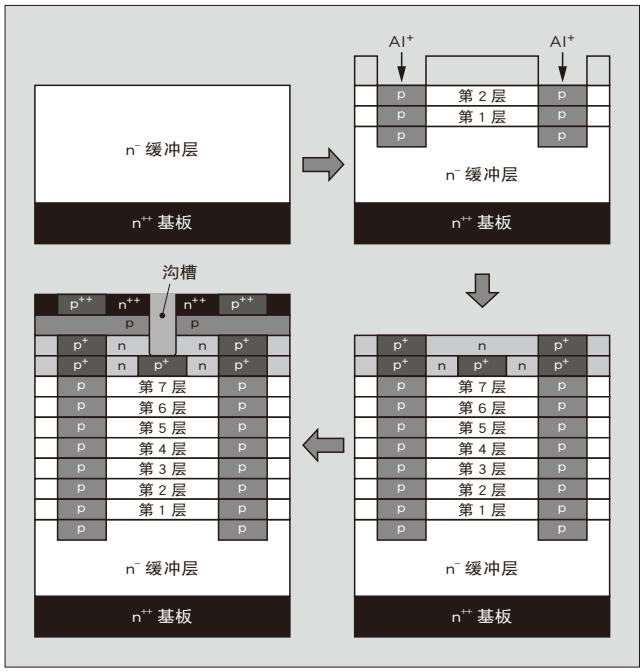

图 3　SiC-SJ-MOSFET 的制作工艺

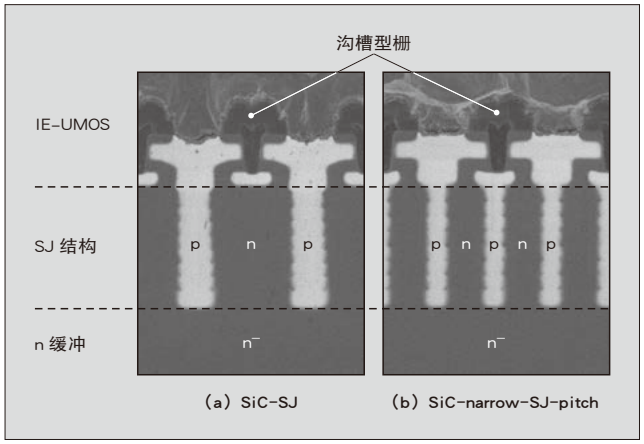

图 4　SJ 结构的截面 SEM 图像

4　静态特性

制作的元件尺寸为 3 mm×3 mm，安装在 TO-247 封装中并对其进行了评价。另外，各元件的额定电流为 18 A（330 A/cm²）。

试制元件在室温及 175 ℃下栅极电压设定为 20 V 时的 R_{on}·A 和温度相关性如**图 5** 所示。与 SiC-non-SJ-MOSFET 相比，在任何温度下，标准 SiC-SJ-MOSFET 和 SiC 窄间距 SJ-MOSFET 均表现出了导通电阻下降，并且在高温下导通电阻难以上升的特点。标准 SiC-SJ-MOSFET 在 175 ℃下的 R_{on}·A 降低至 SiC-non-SJ-MOSFET 的 67%。同样，SiC 窄间距 SJ-MOSFET 降低至 55%。SiC-SJ-MOSFET 的导通电阻在高温下大幅下降的原因在于，温度越高，电子迁移率越低，漂移层电阻增大，导通电阻中漂移层电阻所占的比例增加，SJ 结构的效

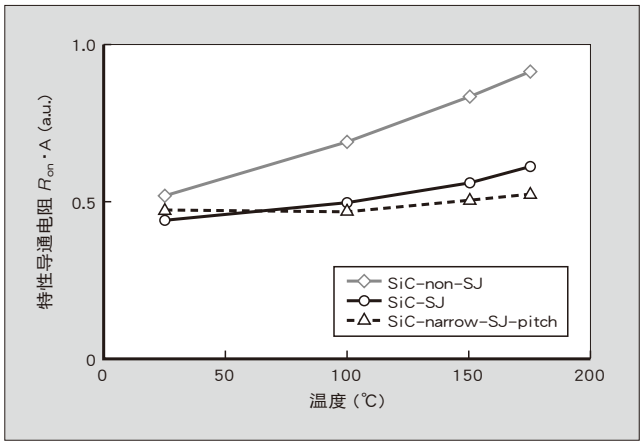

图 5　特性导通电阻的温度依赖性

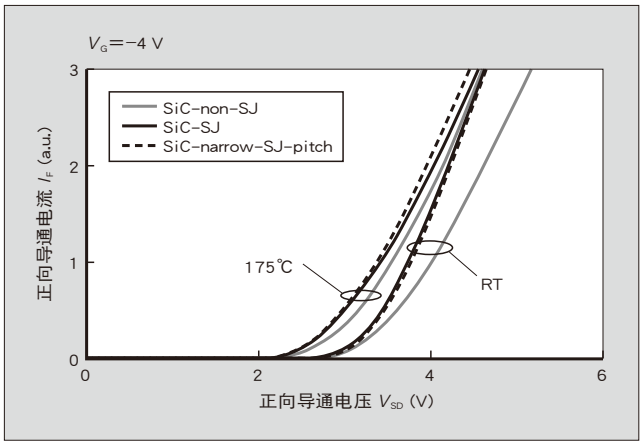

图 7　体二极管的 I_F–V_{SD} 特性

果更加明显。

对标准 SiC-SJ-MOSFET 与 SiC 窄间距 SJ-MOSFET 的 R_{on}·A 进行比较后发现，尽管在室温下几乎没有差别，但在 175 ℃下，SiC 窄间距 SJ-MOSFET 表现出了低数值。其原因在于，室温下与通道电阻、基板电阻与 JFET 电阻〈注 2〉等相比，漂移层电阻小，试制的元件间差别并不明显。但是，因在高温下电子迁移率降低，漂移层电阻增大，所以出现了间距缩小的效果，试制的元件电阻的差别则变得明显。根据该结果，在漂移层电阻占主导地位时，通过缩小柱宽使其窄间距化，可进一步降低 SiC-SJ-MOSFET 的电阻。

图 6 所示为室温下的耐压波形。作为 1.2 kV 耐压等级的元件，所有结构均表现出了充分的特性。

图 7 和**图 8** 所示，为体二极管的 I–V 特性和根据该特性计算出的微分电导 di/dv 和 V_F 的温度相关性。SiC-non-SJ-MOSFET 从室温到 175 ℃时，di/dv 仅略有增加（微分电阻减少）。另一方面，标准 SiC-SJ-MOSFET、SiC 窄间距 SJ-MOSFET 在高温下 di/dv 减少（微分电阻增加）。在高温中，体二极管的微分电阻取决于载流子注入量增加引起的电阻减少和迁移率下降引起的电阻增加的平衡。从**图 8** 的结果可知，在高温下，与 SiC-non-SJ-MOSFET 相比，

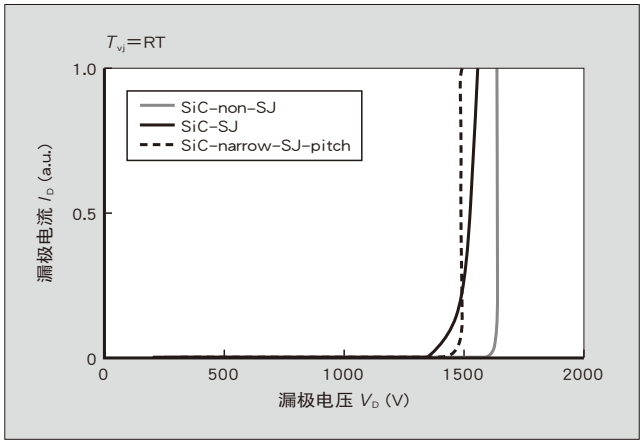

图 6　耐压波形

〈注 2〉JFET 电阻：因耗尽层从邻近 p 型区域向 n 型区域延伸，使电流通道变窄的 JFET 效应引起的导通电阻增加量。

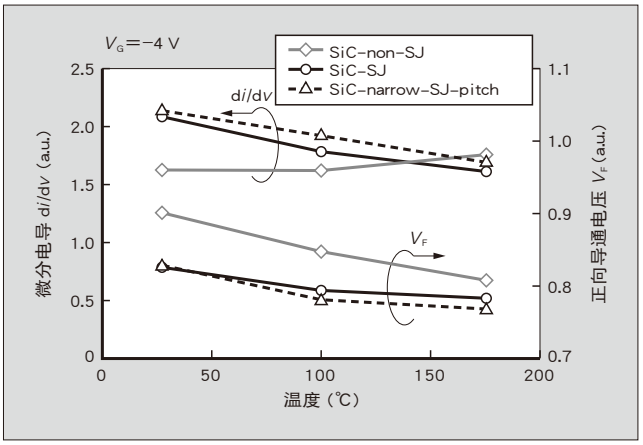

图 8　体二极管 di/dv、V_F 的温度依赖性

SiC-SJ-MOSFET 载流子注入量少，受到了迁移率下降的强烈影响。另外，SiC-SJ-MOSFET 中载流子注入量少的原因包括：p 柱制作时的离子注入损伤导致 SJ 结构单元的载流子寿命变短等。

5　体二极管恢复特性与波形

近年来，为了降低模块成本和改善热分布，正在研究在变频器电路中用 MOSFET 的寄生二极管（体二极管）代替外置 SBD 作为回流二极管，体二极管的恢复特性备受关注。

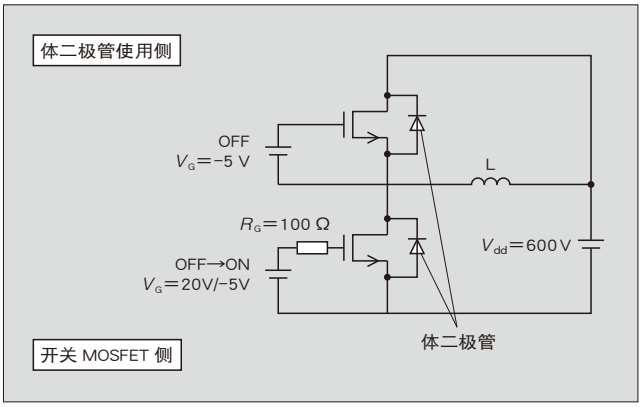

图 9　开关特性的评价电路

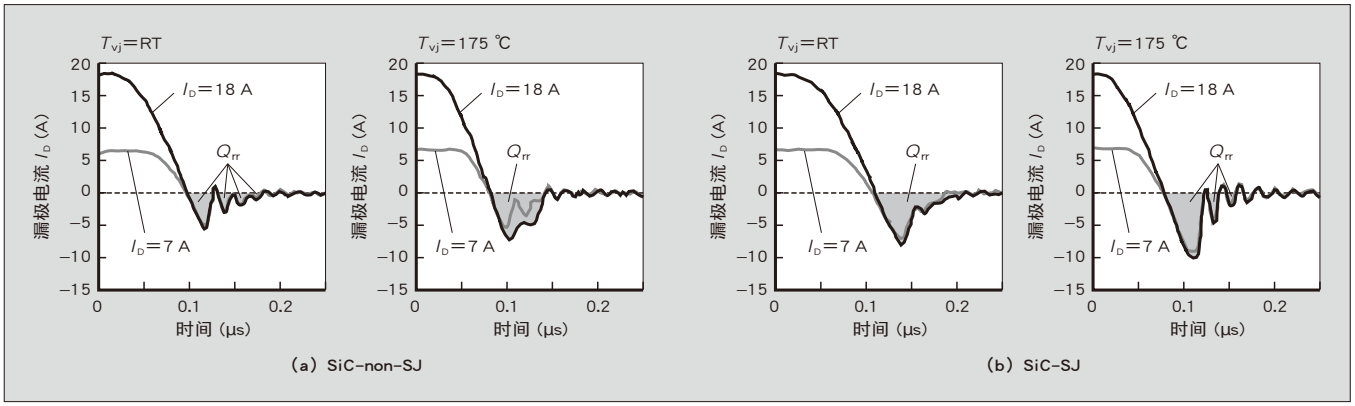

图 10　体二极管的恢复波形

据报道，Si-SJ-MOSFET 的恢复特性较差[8],[9]，但对 SiC-SJ-MOSFET 也有必要进行调查。

(1)　体二极管的恢复特性

以下，对开关时体二极管的恢复特性评价结果进行介绍。评价使用了**图 9** 所示的简单的斩波电路，元件使用了 SiC-non-SJ-MOSFET、标准 SiC-SJ-MOSFET 元件。栅极电压为 V_G=+20 V/−5 V，栅极电阻为 100 Ω。**图 10** 所示为室温 RT 和 175 ℃下的恢复波形。漏极电流 I_D 设定为 7 A 和 18 A。如**图 10** 所示，积累电荷量 Q_{rr} 是在恢复波形中，将考虑到了振动分量的反向电流进行时间积分得到的值。因体二极管正向偏压时元件内积蓄的电荷量 Q_{rr} 导致反向偏压时反向电流流过，产生损耗，所以 Q_{rr} 越小越好。据报道，在 Si-SJ-MOSFET 中，因从 pn 柱注入的载流子的寿命较长，Q_{rr} 会变大[9]。

如**图 11** 所示，在室温时和低电流密度的情况下，反映出由 n 柱浓度、pn 接合面积引起的漏极 − 源极电容的不同，标准 SiC-SJ-MOSFET 的 Q_{rr} 比 SiC-non-SJ-MOSFET 高。但是，如果变成高温，来自 p 层的载流子注入增加，相对于在 SiC-non-SJ-MOSFET 中 Q_{rr} 急剧增加，标准 SiC-SJ-MOSFET 中 Q_{rr} 的增加量极小。

Q_{rr} 的漏极电流、温度依赖性的结果表明，标准 SiC-SJ-MOSFET 的载流子注入效率比 SiC-non-SJ-MOSFET 低，也与体二极管 *I*-*V* 特性的温度变化相一致。由此可见，在高温、大电流通电时的开关条件下，标准 SiC-SJ-MOSFET 和 SiC-non-SJ-MOSFET 的恢复损耗之差变小。

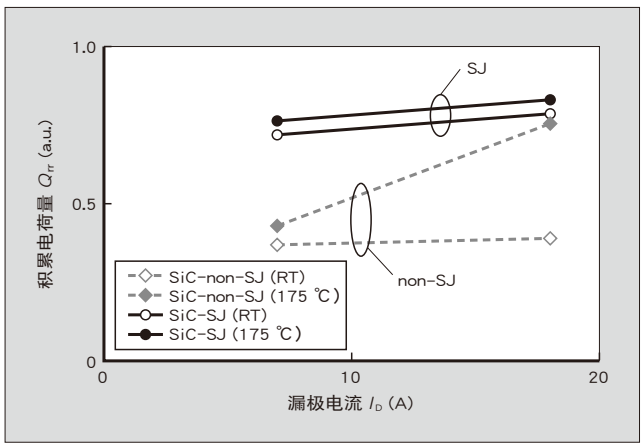

图 11　Q_{rr} 的漏极电流、温度依赖性

(2)　体二极管的恢复波形

以下，对体二极管恢复波形的 di_R/dt 进行介绍。di_R/dt 是指反向电流经过峰值后，到变成零时的电流减少速度的最大值。过大的 di_R/dt 会导致 EMI 干扰和电路内产生浪涌电压，所以该值越小越好。但众所周知，在 Si-SJ-MOSFET 中，因注入的空穴很快会被电场从 p 柱附近排出，所以具有 di_R/dt 大这一硬恢复特性[7],[8]。

SiC-non-SJ-MOSFET、标准 SiC-SJ-MOSFET、SiC 窄间距 SJ-MOSFET 在 175 ℃下的恢复波形如**图 12** 所示。另外，通过波形求出的 di_R/dt 值的温度依赖性如**图 13** 所示。虽然从室温到 175 ℃，标准 SiC-SJ-MOSFET、SiC 窄间距 SJ-MOSFET 的 di_R/dt 变大，但被控制在 SiC-non-SJ-MOSFET 的 3～4 倍左右，体二极管的浪涌电压未见明显差别。

Si 的 SJ-MOSFET 因体二极管的 Q_{rr} 和浪涌电压大，所以难以用于变频器电路。另一方面，SiC 的 SJ-MOSFET 无需电子束照射等特别处理即可实现低 Q_{rr} 和低浪涌电压，所以认为在变频器上进行搭载的门槛比 Si 低。今后，通过改善其特性，有可能成为恢复特性卓越的 SiC-SJ 元件。

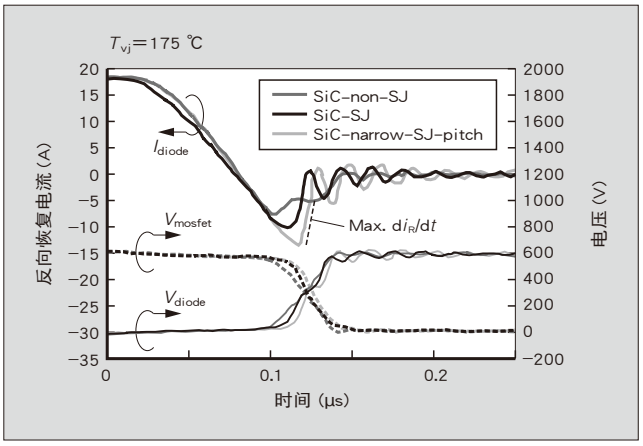

图 12　体二极管恢复波形的比较

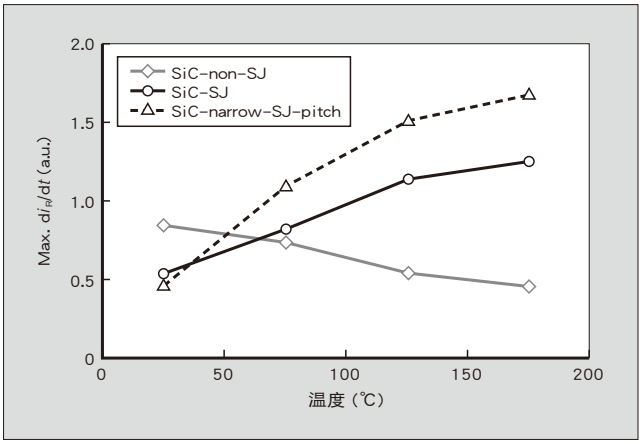

图 13　恢复波形 di_R/dt 的温度依赖性

6　后记

对具备 Semi-SJ 结构的 1.2 kV 耐压等级的 SiC-SJ-MOSFET 进行了室温和高温下的静态特性、动态特性评价。本次试制的 SiC-SJ-MOFET 在 175 ℃下的 R_{on}·A 降至了传统 SiC-non-SJ-MOSFET 的 55% ～ 67%。因 SiC-SJ-MOSFET 的温度相关性小，所以将来在超高温工作时，两种结构的 R_{on}·A 之差有望扩大。通过发挥 SiC-SJ-MOSFET 的低 R_{on}·A 带来的稳态损耗少这一优点，有望进一步改善恢复特性，应用于变频器电路。

本课题是与联合研究机构 TSUKUBA POWER ELECTRONICS CONSTELLATIONS (TPEC) 共同研发。在此，向在试制、评价和讨论方面给予协助的小林勇介、京极真也、森本忠雄、熊泽辉显、山城祐介、原田信介深表谢意。

参考文献

⑴ Harada, S. et al. “1200V SiC IE-UMOSFET with Low On-Resistance and High Threshold Voltage”. Mat. Sci. Forum 897 (2017) p.497.
⑵ Fujihira, T. “Theory of Semiconductor Superjunction Devices”. Jpn. J. Appl. Phys. 36 (1997) p.6254.
⑶ Harada, S. et al. “First Demonstration of Dynamic Characteristics for SiC Superjunction MOSFET Realized using Multi-epitaxial Growth Method”. IEDM (2018) p.181.
⑷ Deboy, G. et al. “A new generation of high voltage MOSFETs breaks the limit line of silicon”. IEDM (1998) p.683.
⑸ Kosugi, R. et al. “First experimental demonstration of SiC super-junction (SJ) structure by multi-epitaxial growth method”. Proc. ISPSD2014 (2014) p.346.
⑹ Kosugi, R. et al. “Breaking the Theoretical Limit of 6.5 kV-Class 4H-SiC Super-Junction (SJ) MOSFETs by Trench-Filling Epitaxial Growth”. (Late News) Proc. ISPSD2019 (2019) p.39.
⑺ Lorenz, L. et al. “COOLMOSTM - a new milestone in high voltage Power MOS”, Proc. ISPSD1999 (1999) p.3.
⑻ Saito, W. et al. “600V Semi-superjunction MOSFET”. Proc. ISPSD2003 (2003) p.45.
⑼ Schmitt, M. et al. “A Comparison of Electron, Proton and Helium Ion Irradiation for the Optimization of the CoolMOSTM Body Diode”. Proc. ISPSD2002 (2002) p.229.

俵　　武志
从事 SiC 功率 MOSFET、SBD 的研究开发。现就职于国立研究开发法人 产业技术综合研究所先进电力电子研究中心（富士电机派驻）。应用物理学会、等离子体和聚变学会会员。

马场　正和
从事 SiC 功率 MOSFET 的研究开发。现就职于国立研究开发法人 产业技术综合研究所先进电力电子研究中心（富士电机派驻）。工学博士、应用物理学会会员。

竹中　研介
从事半导体器件的研究。现就职于国立研究开发法人 产业技术综合研究所先进电力电子研究中心（富士电机派驻）。应用物理学会会员。

富士电机

Fuji Electric

＊本刊记载的公司名称及产品，有可能是各相关公司的商标或注册商标。